

# Versuch V11: D/A und A/D-Wandler

Henri Menke\* und Jan Trautwein†

Gruppe 1-11 — Platz k

(Betreuer: Boris Bonev)

(Datum: 20. Januar 2014)

Im Versuch sollen der Aufbau und die Funktionsweise einfacher Digital/Analog- und Analog/Digital-Wandler untersucht werden. Es wird die Ausgangsfunktion eines D/A-Wandlers aufgenommen und dessen Linearität angepasst. Weiterhin wird die Funktionsweise eines A/D-Wandlers bestimmt, der auf Basis des D/A-Wandlers aufgebaut ist.

## INHALT

I. Grundlagen	1
A. Operationsverstärker	1
1. Invertierender Operationsverstärker	1
2. Der Summationsverstärker	1
B. D/A-Wandler	1
C. A/D-Wandler	2
II. Versuchsaufbau und -durchführung	2
A. D/A-Wandler	2
B. A/D-Wandler	3
III. Auswertung	3
A. D/A-Wandler	3
B. A/D-Wandler	4
IV. Zusammenfassung	4
Literatur	5

## I. GRUNDLAGEN

### A. Operationsverstärker

Um die Funktionsweise eines D/A-Wandlers besser zu verstehen, lohnt es sich noch einmal den Aufbau wichtiger Operationsverstärker-Schaltungen zu betrachten.

#### 1. Invertierender Operationsverstärker

Die einfachste Anwendung des Operationsverstärkers ist der Umkehrverstärker oder invertierender Operationsverstärker. Eine Schaltskizze ist in Abbildung 1 zu sehen. Für den Eingangswiderstand  $R_1$  gilt

$$R_1 = \frac{U_E}{I_E}$$

Für die Ausgangsspannungen gilt wegen der Idealität des Operationsverstärkers und der Beschaltung mit Gegenkopplung

$$U_A = -U_E \frac{R_N}{R_1}$$

Die Verstärkung beträgt somit

$$V = -\frac{R_N}{R_1}$$

Dabei stellt  $R_1$  einen Spannungs-Strom-Wandler und die restliche Schaltung eine Strom-Spannungs-Wandler dar.

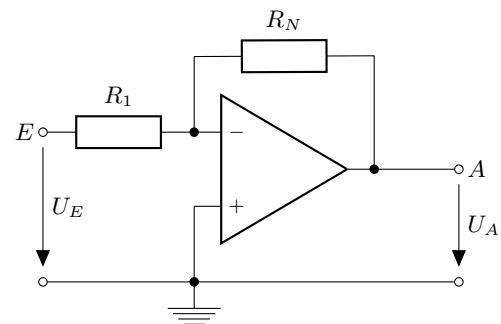


ABB. 1. Schaltbild eines invertierenden Operationsverstärkers.

#### 2. Der Summationsverstärker

Legt man an den invertierenden Eingang eine zusätzliche Eingangsspannung an, so ergibt sich der Umkehraddierer oder auch Summationsverstärker, wie er in Abbildung 2 abgebildet ist.

Für die Ausgangsspannung gilt hier

$$U_A = -R_N \sum_i \frac{U_{E_i}}{R_i} \quad (1)$$

### B. D/A-Wandler

Wie der Name bereits suggeriert können mit einem Digital/Analog-Wandler digitale Eingangssignale in analoge Ausgangssignale umgewandelt werden. So sollen am

\* henrimenke@gmail.com

† jan.manuel.trautwein@web.de

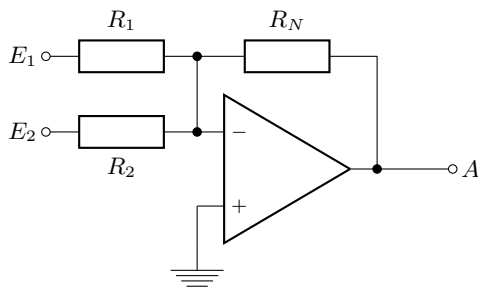


ABB. 2. Schaltbild eines Operationsverstärkers als Summationsverstärker.

Eingang eingegebene Binärzahlen in entsprechende Spannungspegel am Ausgang transformiert werden. Dabei nutzt man die Eigenschaft des Summationsverstärkers, um die verschiedenen Wertigkeiten der Bits verschieden zu gewichten.

Zur Gewichtung wird der Eingangswiderstand vom MSB (engl.: *most significant bit*) zum LSB (engl.: *least significant bit*) mit jedem Bit verdoppelt.

Der Gegenkopplungswiderstand  $R_N$  wird so gewählt, dass der Verstärker den erwünschten Maximalstrom liefert, wenn alle Bits auf 1 stehen.

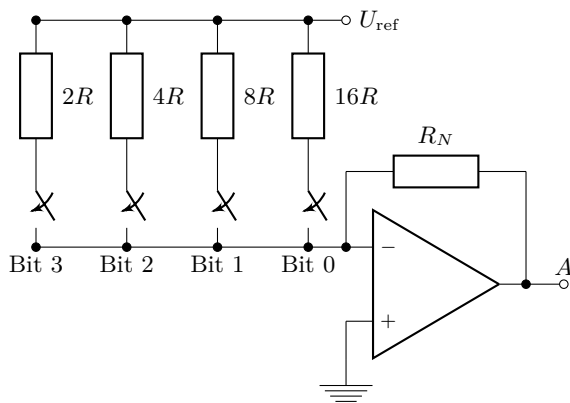


ABB. 3. Schaltbild eines 4-Bit-D/A-Wandlers.

Mit dem Ausdruck für die Übertragungsfunktion des invertierenden Verstärkers ergibt sich

$$U_A = - \sum_i \frac{R_N}{R_i} U_{\text{ref}}$$

wobei  $R_N$  der Gegenkopplungswiderstand und  $R_i$  der Widerstand an den gesetzten Bits ist.

### C. A/D-Wandler

Ein A/D-Wandler lässt sich aufbauen aus einem D/A-Wandler und einem Komparator, siehe Schaltplan in Abbildung 4.

Ein A/D-Wandler übersetzt analoge Eingangssignale in binäre Ausgabe. Der externe Takt des Oszillators wird

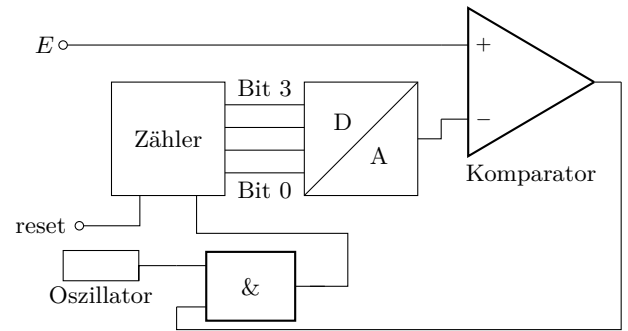


ABB. 4. Schaltbild eines generischen A/D-Wandlers.

an den Zähler weitergereicht, solange der Ausgang des Komparators auf 1 steht. Am Komparatorausgang steht die 1, wenn  $U_E > U_{A/D}$ . Der Zähler wird also solange hochgezählt bis  $U_E \leq U_{A/D}$ , weil dann eine 0 am Komparatorausgang steht, die den Ausgang des AND-Gatters auch auf 0 setzt. Der Zähler hält dann den zuletzt geschriebenen Zustand.

Der Nachteil dieser Art der A/D-Wandlung ist, dass für eine  $N$ -Bit-Zahl  $2^N$  Zyklen abgewartet werden müssen.

## II. VERSUCHSAUFBAU UND -DURCHFÜHRUNG

### A. D/A-Wandler

Nach Abbildung 5 wird ein D/A-Wandler aufgebaut. Für den Operationsverstärker wird, der aus früheren Versuchen bekannte OP177G verwendet. Die Widerstände werden so dimensioniert, dass ein Ändern des LSB eine Spannungsänderung am Ausgang um 0.5 V bewirkt.

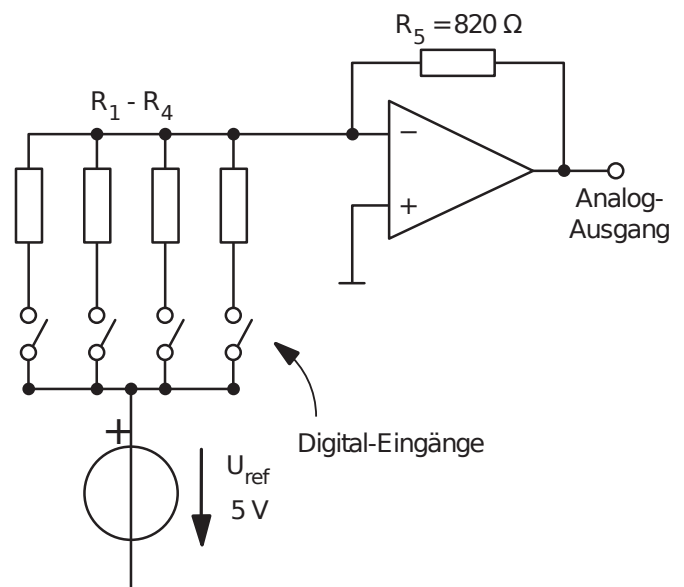


ABB. 5. Schaltbild des 4-Bit-D/A-Wandlers.

Nun wird die Ausgangsspannung in Abhängigkeit des Eingangszustandes gemessen.

Als nächstes werden die Schalter in der Skizze durch der 4-Bit-Zähler 74191 ersetzt, der mit dem Sync-Ausgang des Frequenzgenerators getaktet wird. Der Verlauf der Ausgangsspannung wird mit dem Oszilloskop überwacht. Dabei werden Nullpunkt und Maximalwert der Spannung bestimmt. Durch Offsetkompensation am Operationsverstärker wird die Verschiebung des Nullpunkts korrigiert. Der Widerstand  $R_5$  wird durch die Widerstandskaskade ersetzt und so variiert, dass der Zustand 1111 genau 7.5 V entspricht.

Zuletzt werden die Gewichtungswiderstände der Bits so variiert, dass der Fehler gegenüber der gewünschten Übertragungsfunktion auf 2% absinkt.

## B. A/D-Wandler

Nach dem Schaltplan in Abbildung 6 wird der D/A-Wandler zum A/D-Wandler erweitert.

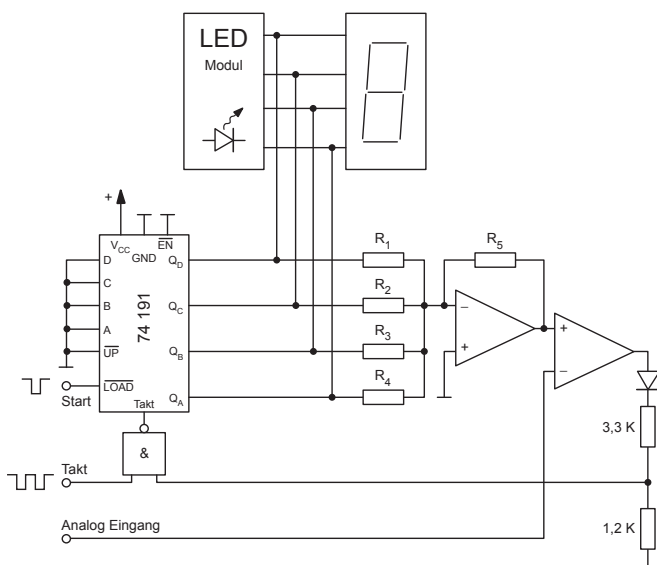


ABB. 6. Schaltbild des 4-Bit-A/D-Wandlers.

Der Takt wird wiederum durch den Sync-Ausgang des Frequenzgenerators vorgegeben. Die Ausgänge des 4-Bit-Zählers werden an die 7-Segment-Anzeige angeschlossen.

Der Zähler wird zurückgesetzt und das Netzgerät auf eine Spannung zwischen 0 V und 7.5 V eingestellt.

Nun wird die Funktionsweise des A/D-Wandlers qualitativ untersucht und die Ergebnisse dokumentiert.

## III. AUSWERTUNG

### A. D/A-Wandler

Damit sich die Ausgangsspannung um 0.5 V ändert, wenn niederwertigste Bit seinen Zustand ändert, werden die

Widerstände aus der E12-Reihe wie folgt gewählt:

- $R_1 = 1.2 \Omega$
- $R_2 = 2.2 \Omega$
- $R_3 = 3.9 \Omega$
- $R_4 = 8.2 \Omega$

In Tabelle I sind die manuell ermittelten Messwerte des D/A-Wandlers zu sehen. Es ist erkennbar, dass bei der Aktivierung des dritten Bits, die Monotoniebedingung verletzt wird.

Zustand	Bit 3	Bit 2	Bit 1	Bit 0	$U_A$ [V]	$(U_n - U_{n+1})$ [V]
0	0	0	0	0	0.000	0.503
1	0	0	0	1	-0.503	0.560
2	0	0	1	0	-1.063	0.503
3	0	0	1	1	-1.556	0.314
4	0	1	0	0	-1.880	0.502
5	0	1	0	1	-2.382	0.560
6	0	1	1	0	-2.942	0.503
7	0	1	1	1	-3.445	-0.003
8	1	0	0	0	-3.442	0.502
9	1	0	0	1	-3.944	0.559
10	1	0	1	0	-4.503	0.502
11	1	0	1	1	-5.005	0.311
12	1	1	0	0	-5.316	0.502
13	1	1	0	1	-5.818	0.557
14	1	1	1	0	-6.375	0.502
15	1	1	1	1	-6.877	—

TAB. I. Ausgangsspannungen und Monotoniebedingung des D/A-Wandlers in Abhängigkeit des Zustandes.

Die Nichtlinearität ergibt sich als

$$\delta = \max \left( \left| U_i - U_{i+1} - \frac{U_{ref}}{2^N} \right| \right) = -0.503 \quad (2)$$

Damit ist  $\delta \leq \frac{U_{ref}}{2^N}$  und somit ist die Monotoniebedingung nicht mehr erfüllt.

In ABB. 7 sind die Ausgangsspannungen gegen die Zustände aufgetragen. Der Fit

$$\mathcal{F}_a(\gamma) = a \cdot x$$

gibt eine Steigung von  $a = -0.454$  aus. Die Abweichung von der gewünschten Geraden  $f$  mit der Steigung  $-0.5$  hat ihre Ursache in den nicht genau passenden Widerständen der E12-Reihe.

Will man einen 12-bit Wandler konstruieren, müssen die Widerstände eine sehr hohe Genauigkeit aufweisen. Die Toleranz muss unter 0.03% liegen. Bei der Aktivierung des hochwertigsten Bits ist die Wahrscheinlichkeit für eine Verletzung der Monotoniebedingung am größten.

Nun wird der D/A-Wandler an die Ausgänge eines 4-bit Zählers angeschlossen. Der Zähler wird mit einer Rechteckspannung getaktet. In ABB. 8 ist die Treppenfunktion des Wandlers zu sehen.

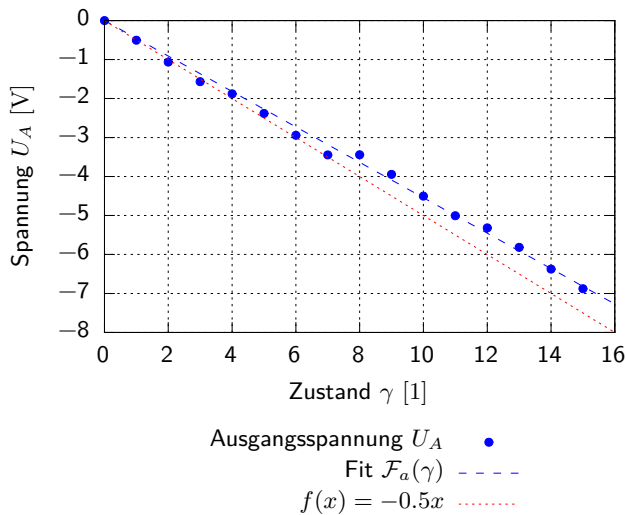


ABB. 7. Treppenfunktion des D/A-Wandlers.

Der Nullpunkt liegt jetzt nicht mehr bei 0 V, sondern bei 200 mV und der Maximalwert anstatt bei  $-6.877$  V bei  $-4.48$  V. Der Grund dafür ist, dass der Zähler nicht exakt 0 V und 5 V ausgibt, sondern etwas höhere bzw. niedrigere Spannungen. Der Nullpunkt kann durch einen entgegengesetzten Strom am Summationspunkt kompensiert werden. Hierzu wurde ein Strom von der negativen Versorgungsspannung  $-15$  V mit Hilfe einer Widerstandsdekade ( $\Omega = 55.4$  k $\Omega$ ) genutzt. Dadurch verschiebt sich auch der Maximalwert. Um den alten Wert wiederherzustellen wird zu dem Widerstand  $R_5$  ein 1k-Potentiometers in Reihe geschaltet. Dieser wird dazu auf 46  $\Omega$  gestellt.

In ABB. 8 ist die Treppenfunktion des angepassten D/A-Wandlers zu sehen. Da der Maximalwert nicht auf die alte Spannung angepasst wurde, macht ein Vergleich der Steigungen keinen Sinn.

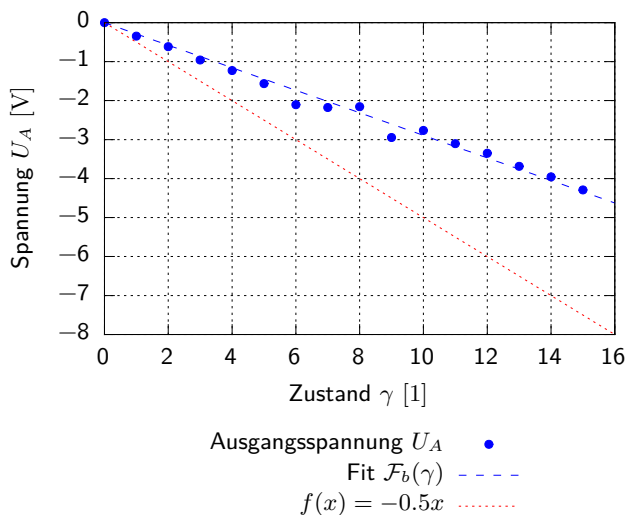


ABB. 8. Treppenfunktion des angepassten D/A-Wandlers.

## B. A/D-Wandler

Nachdem die Schaltung zu einem A/D-Wandler erweitert wurde, wird dessen Funktion überprüft und der Theorie entsprechend bestätigt. Die Spannung am Analogeingang muss negativ sein, da ansonsten der Komparator immer eine 1 ausgibt und der Zähler niemals anhalten würde. Die Wandlungszeit hängt von der Anzahl der verwendeten Bits ab und der Frequenz des Taktes. In dieser Wandlungsart werden bis zu  $2^N$  Takte benötigt, da mit dem Verfahren der sukzessiven Approximation maximal  $N$  Takte benötigt werden, ist die Wandlungsart nicht zeitoptimal. Die Genauigkeit könnte erhöht werden, indem man einen D/A-Wandler mit einer höheren Bitzahl verwendet. Ist der verwendete D/A-Wandler nicht-monoton, so kann es zu sogenannten *missing codes* kommen. Diese treten auf, da der zur Nichtmonotonie gehörende Digitalcode nie als AD-Ergebnis auftreten kann.

ABB- 9 zeigt den Pulsfahrplan des A/D-Wandlers. C beschreibt den Spannungsverlauf am Ausgang des Komparators,  $T$  entspricht dem externen Taktsignal und  $T^*$  dem Takt des D/A-Wandlers nach dem NAND-Gatter. Nach dem 5. Takt behält der Komparator seinen Zustand, die Zustände  $Q_{D-A}$  entsprechen der Dualzahl 0101

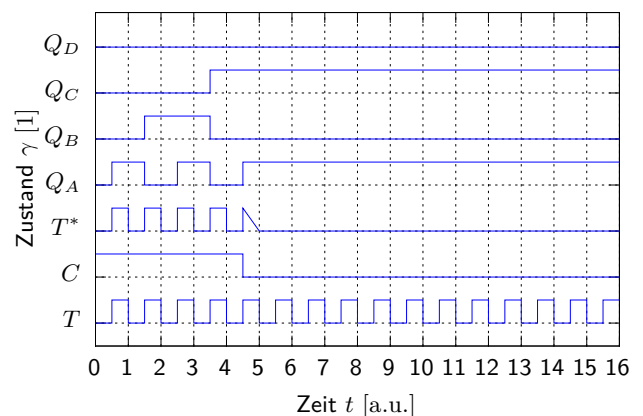


ABB. 9. Pulsfolge des A/D-Wandlers.

## IV. ZUSAMMENFASSUNG

Der mit Widerständen der E12-Reihe aufgebaute D/A-Wandler konnte die Monotoniebedingung nicht erfüllen, auch eine Anpassung der Widerstände mit einer Widerstandsdekade brachte keinen Erfolg. Beim Anschluss an einen 4-bit Zähler kommt es zu einer Nullpunktverschiebung und der Maximalwert des D/A-Wandlers wird verändert. Durch das Zuführen eines negativen Stroms an den Summationspunkt, konnte die Nullpunktverschiebung korrigiert werden. Der alter Maximalwert konnte durch eine Änderung des Rückkoppelwiderstandes wiederhergestellt werden.

Durch Erweiterung der Schaltung wurde eine A/D-Wandler hergestellt. Dessen Funktion wurde überprüft. Es wurde festgestellt, dass die Spannung am Analogeingang

eine negative Polarität besitzen muss. Ist der verwendete D/A-Wandler durch schlecht gewählte Widerstände nicht-monoton, kommt es zu sogenannten *missing codes*.

---

[1] *Versuchsanleitung*, Universität Stuttgart (2013).